Вычислительная техника

Практикум № 5

Чалапко Егор Витальевич

1) Какие блоки составляют конвейер МП 80286?

- BU (Bus Unit) - шинный блок (считывание из памяти и портов ввода/вывода);

- IU (Instruction Unit) - командный блок (дешифрация команд);

- EU (Executive Unit) - исполнительный блок (выполнение команд);

- AU (Address Unit) - адресный блок (вычисляет все адреса, формирует физический адрес).

2) Какой блок и почему был добавлен в конвейер МП Intel-486?

WB (Write Back) - обратная запись.

3) Что понимают под суперскалярной архитектурой?

Суперскалярный процессор — процессор, поддерживающий так называемый параллелизм на уровне инструкций за счёт включения в состав его вычислительного ядра нескольких одинаковых функциональных узлов (таких как АЛУ, FPU, умножитель (integer multiplier), сдвигающее устройство и другие устройства). Планирование исполнения потока инструкций осуществляется динамически вычислительным ядром.

4) Какие способы обработки данных объединяет термин "динамическое исполнение программы"?

- Глубокое предсказание ветвлений (с вероятностью >90% можно предсказать 1015 ближайших переходов).

- Анализ потока данных (на 20-30 шагов вперед просмотреть программу и определить зависимость команд по данным или ресурсам).

- Опережающее исполнение команд (МП P6 может выполнять команды в порядке, отличном от их следования в программе).

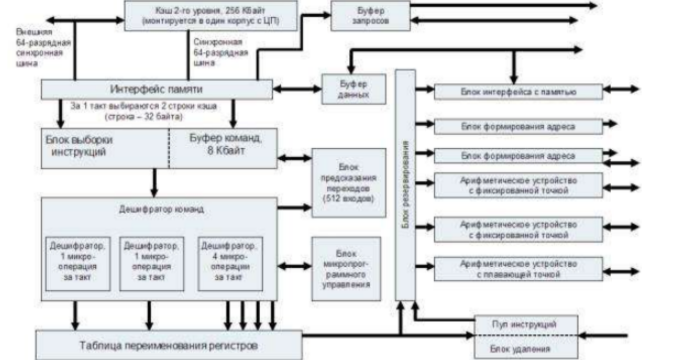
5) В чем состоит внутренняя RISC-архитектура ЦП Pentium Pro?

Внутренняя организация МП P6 соответствует архитектуре RISC, поэтому блок выборки команд, считав поток инструкций IA-32 из L1 кэша инструкций, декодирует их в серию микроопераций. Поток микроопераций попадает в буфер переупорядочивания (пул инструкций). В нем содержатся как не выполненные пока микрооперации, так и уже выполненные, но еще не повлиявшие на состояние процессора. Для декодирования инструкций предназначены три параллельных дешифратора: два для простых и один для сложных инструкций. Каждая инструкция IA-32 декодируется в 1-4 микрооперации. Микрооперации выполняются пятью параллельными исполнительными устройствами: два для целочисленной арифметики, два для вещественной арифметики и блок интерфейса с памятью. Таким образом, возможно выполнение до пяти микроопераций за такт.

Блок исполнительных устройств способен выбирать инструкции из пула в любом порядке. При этом благодаря блоку предсказания ветвлений возможно выполнение инструкций, следующих за условными переходами. Блок резервирования постоянно отслеживает в пуле инструкций те микрооперации, которые готовы к исполнению (исходные данные не зависят от результата других невыполненных инструкций) и направляет их на свободное исполнительное устройство соответствующего типа. Одно из целочисленных исполнительных устройств дополнительно занимается проверкой правильности предсказания переходов. При обнаружении неправильно предсказанного перехода все микрооперации, следующие за переходом, удаляются из пула и производится заполнение конвейера команд инструкциями по новому адресу.

Взаимная зависимость команд от значения регистров архитектуры IA-32 может требовать ожидания освобождения регистров. Для решения этой проблемы предназначены 40 внутренних регистров общего назначения, используемых в реальных вычислениях.

Блок удаления отслеживает результат спекулятивно выполненных микроопераций. Если микрооперация более не зависит от других микроопераций, ее результат переносится на состояние процессора, и она удаляется из буфера переупорядочивания. Блок удаления подтверждает выполнение инструкций (до трех микроопераций за такт) в порядке их следования в программе, принимая во внимание прерывания, исключения, точки останова и промахи предсказания переходов.



6) В работе какого процессора наблюдается отклонение от принципов фон Неймана? В чем это проявляется?

Кроме машин фон Неймана существуют потоковые и редукционные ЭВМ. Дж. Деннис в 1967 г. сформулировал принципы построения потоковых ЭВМ - должны выполняться все команды, для которых есть данные, независимо от их места в программе; управление вычислительным процессом переходит от программы к данным.

7) В чем состоит преимущество использования двойной независимой шины?

Для реализации архитектуры DIB кэш-память второго уровня перемещена с системной платы в один корпус с процессором, что позволило приблизить быстродействие кэшпамяти второго уровня к быстродействию встроенной кэш-памяти, то значительно превосходит быстродействие памяти, помещаемой на системную плату. Чтобы поместить кэш в корпус процессора, понадобилось модифицировать гнездо процессора.

DIB также позволяет системой шине выполнять одновременно несколько транзакций (а не одну последовательность транзакций), благодаря чему ускоряется поток информации внутри инфраструктуры и повышается эффективность. Все средства архитектуры DIB повышают пропускную способность почти в три раза по сравнению с процессором, имеющим архитектуру одиночной шины.

8) Что нового появилось в архитектуре процессора Pentium III по сравнению с Pentium MMX?

Pentium PRO

1 ноября 1995 года, выпуском процессора Pentium PRO (кодовое имя P6), начался отсчет шестого поколения процессоров. От предыдущего поколения их отличало применение технологии динамического исполнения - изменения порядка исполнения инструкций и архитектура двойной независимой шины. Добавилась еще одна шина, которая соединяет процессор с кэшем второго уровня, который встроен в ядро. В результате этого впервые был применен кэш L2, работающий на частоте процессора. Первоначальный размер кэша L2 – 256 Кб; к 18 августа 1997 году достиг 1024 Кб. Максимальный размер – 2048 Кб. Кэш первого уровня остался прежним: 8 Кб + 8 Кб. Имел тактовые частоты 150, 166, 180, 200 МГц.

Процессоры Pentium PRO выпускались в корпусах SPGA (Staggered Pin Grid Array) с матрицей штырьковых выводов. В одном корпусе было установлено два кристалла – ядро процессора и кэш второго уровня собственного изготовления. Устанавливался в Socket 8 с возможностью объединить до 4-х процессоров для симметричной мультипроцессорной обработки. Шина 60-66 МГц. При 32-битных вычислениях и многозадачности значительно превосходил по производительности Pentium, но в 16-битных приложениях проигрывал ему. Процессор 150 МГц производился с использованием техпроцесса 0.60 мкм, более старшие модели – 0.35 мкм. Pentium PRO состоял из более чем 5.5 млн. транзисторов, плюс от 15.5 до 31 млн. включал кэш. Pentium MMX

8 января 1997 года произошел выпуск процессора Pentium w/MMX technology (кодовое имя P55), являющийся продолжением линейки Pentium, в котором впервые был реализован новый набор из 57 команд MMX (Multi Media eXtention), существенно увеличивающий производительность компьютера в мультимедиа-приложениях (от 10 до 60 %, в зависимости от оптимизации).

Выпускался с тактовыми частотами 166, 200 и 233 МГц. Работал на 66 МГц шине. По сравнению с Pentium, был вдвое увеличен размер кэша первого уровня, который составил 32 Кб. Как и в предыдущих версиях был применен раздельный кэш: 16 Кб на данные и 16 Кб на инструкции. Стоит сказать, что такое разделение (и размер) кэша L1 стало своеобразным стандартом на долгие годы. Кэш второго уровня, как и у предшественника, остался на материнской плате, и мог иметь объем до 1 Мб. Процессоры выпускались по 0.35 мкм технологии, и состояли из 4.5 млн. транзисторов. Рассчитан на Socket 7.

Pentium !!!

Первые процессоры с названием Pentium !!! мало чем отличались от Pentium II. Они работали на такой же шине с частотой 100 МГц (позже, с 27 сентября 1999 года, появились модели, работающие на шине 133 МГц), выпускались в конструктиве S.E.C.C. 2 и были рассчитаны на установку в Slot 1.

Кэш память осталась прежней: L1 – 16 Кб + 16 Кб. L2 – 512 Кб, размещенные на процессорной плате, и работающие на половинной частоте процессора. Главным отличием является расширение набора SIMD-инструкций - SSE (Streaming SIMD Extensions). Также расширен набор команд MMX и усовершенствован механизм потокового доступа к памяти. Кодовое имя ядра Katmai. Вышел 26 февраля 1999 года. Процессор работал на частотах 450-600 МГц, содержал 9.5 млн. транзисторов.

Также как предшественник - Pentium II Deschutes, выпускался с применением техпроцесса 0.25 мкм.

9) Какие особенности имеет Net Burst-архитектура?

Архитектура NetBurst разрабатывалась, в первую очередь, с целью достижения высоких тактовых частот процессоров. Характерными особенностями архитектуры NetBurst являются гиперконвейеризация и применение кэша последовательностей микроопераций вместо традиционного кэша инструкций. АЛУ процессоров архитектуры NetBurst также имеет существенные отличия от АЛУ процессоров других архитектур. Также возможно применение технологии Hyper-threading.

Гиперконвейеризация

Процессоры Pentium 4 на ядрах Willamette и Northwood имеют конвейер глубиной 20 стадий, а процессоры на ядрах Prescott и Cedar Mill — 31 стадию. При этом стадии декодирования инструкций не учитываются: в связи с применением кэша последовательностей микроопераций декодер (англ. Instruction decoder) вынесен за пределы конвейера. Это позволяет процессорам Pentium 4 достигать более высоких тактовых частот по сравнению с процессорами, имеющими более короткий конвейер при одинаковой технологии производства. Так, например, максимальная тактовая частота процессоров Pentium III на ядре Coppermine (180 нм. технология) составляет 1133 МГц, а процессоры Pentium 4 на ядре Willamette способны работать на частоте, превышающей 2000 МГц.

Для минимизации влияния неверно предсказанных переходов в процессорах архитектуры NetBurst используется увеличенный по сравнению с предшественниками буфер предсказания ветвлений (BTB, англ. branch target buffer) и новый алгоритм предсказания ветвлений, что позволило достичь высокой точности предсказания (около 94 %) в процессорах на ядре Willamette. В последующих ядрах механизм предсказания ветвлений подвергался модернизациям, повышавшим точность предсказания.

Кэш последовательностей микроопераций

Процессоры архитектуры NetBurst, как и большинство современных x86-совместимых процессоров, являются CISC-процессорами с RISC-ядром: перед исполнением сложные инструкции x86 преобразуются в более простой набор внутренних инструкций (микроопераций), что позволяет повысить скорость обработки команд. Однако, вследствие того, что инструкции x86 имеют переменную длину и не имеют фиксированного формата, их декодирование связано с существенными временными затратами.

В связи с этим, при разработке архитектуры NetBurst было принято решение отказаться от традиционной кэш-памяти инструкций первого уровня, хранящей команды x86, в пользу кэша последовательностей микроопераций, хранящего последовательности микроопераций в соответствии с предполагаемым порядком их исполнения. Ёмкость trace cache составляла около 12 тыс. микроопераций. Такая организация кэш-памяти позволила также снизить временные затраты на выполнение условных переходов и на выборку инструкций.

АЛУ и механизм ускоренного исполнения целочисленных операций

Так как основной целью разработки архитектуры NetBurst было повышение производительности за счёт достижения высоких тактовых частот, возникла необходимость увеличения темпа выполнения основных целочисленных операций. Для достижения этой цели АЛУ процессоров архитектуры NetBurst разделено на несколько блоков: «медленное АЛУ» (англ. slow ALU), способное выполнять большое количество целочисленных операций, и два «быстрых АЛУ» (англ. 2X ALU), выполняющих только простейшие целочисленные операции (например, сложение). Выполнение операций на «быстрых АЛУ» происходит последовательно в три этапа: сначала вычисляются младшие разряды результата, затем старшие, после чего могут быть получены флаги.

«Быстрые АЛУ», обслуживающие их планировщики (англ. Fast scheduler), а также регистровый файл (англ. Integer register file) синхронизируются по половине такта процессора, таким образом, эффективная частота их работы вдвое превышает частоту ядра. Эти блоки образуют механизм ускоренного выполнения целочисленных операций.

В процессорах на ядрах Willamette и Norhtwood «быстрые АЛУ» способны выполнять лишь те операции, которые обрабатывают операнды в направлении от младших разрядов к старшим. При этом результат вычисления младших разрядов может быть получен через половину такта. Таким образом, эффективная задержка составляет половину такта. В процессорах на ядрах Willamette и Norhtwood отсутствуют блоки целочисленного умножения и сдвига, а данные операции выполняются другими блоками (в частности, блоком инструкций MMX).

В процессорах на ядре Prescott (а также более новых ядрах) присутствует блок целочисленного умножения, а «быстрые АЛУ» способны выполнять операции сдвига. Эффективная задержка операций, исполняемых «быстрыми АЛУ», возросла по сравнению с процессорами на ядре Norhtwood и составляет один такт.

Система повторного исполнения микроопераций

Основной задачей планировщиков микроопераций является определение готовности микроопераций к исполнению и передача их на конвейер. Вследствие большого числа стадий конвейера планировщики вынуждены отправлять микрооперации на исполнительные блоки до того, как завершится выполнение предыдущих микроопераций. Это обеспечивает оптимальную загрузку исполнительных блоков процессора и позволяет избежать потери производительности в том случае, если данные, необходимые для выполнения микрооперации, находятся в кэш-памяти первого уровня, регистровом файле или могут быть переданы, минуя регистровый файл.

При определении готовности новых микроопераций к передаче на исполнительные блоки планировщику необходимо определить время выполнения тех предыдущих микроопераций, результатом которых являются данные, необходимые для выполнения новых микроопераций. В том случае, если время выполнения заранее не определено, планировщик для его определения использует наименьшее время её выполнения (так, например, если для выполнения некоторой микрооперации необходимо загрузить данные из памяти, планировщик при передаче этой микрооперации на конвейер будет исходить из предположения, что необходимые данные находятся в кэш-памяти данных первого уровня и будут получены через количество тактов, равное сумме латентности кэш-памяти первого уровня и количества тактов, которое займёт передача микрооперации от планировщика до исполнительного блока).

Если оценка времени, необходимого для получения данных, оказалась верной, микрооперация выполняется успешно. В том случае, если данные не были получены вовремя, проверка корректности результата заканчивается неудачей. При этом микрооперация, результат выполнения которой оказался некорректен, ставится в специальную очередь (англ. replay queue), а затем вновь направляется планировщиком на исполнение.

Существуют такие неблагоприятные ситуации, в которых повторное исполнение микроопераций может привести к взаимоблокировкам. Выход из таких ситуаций осуществляется прекращением передачи новых микроопераций на исполнительные блоки и направлением переисполняемых микроопераций в специальный буфер для того, чтобы они могли освободить конвейер.

Несмотря на то, что повторное исполнение микроопераций приводит к значительным потерям производительности, применение данного механизма позволяет в случае ошибочного исполнения микроопераций избежать останова и сброса конвейера, который приводил бы к более серьёзным потерям.

Достоинства

Основным достоинством процессоров архитектуры NetBurst является возможность работы на высоких тактовых частотах. Это позволяет достичь высокой производительности в оптимизированных задачах и компенсировать низкую удельную производительность. Кроме того, высокая тактовая частота даёт маркетинговые преимущества: потребители склонны выбирать процессоры с большей тактовой частотой («покупают мегагерцы»). К достоинствам процессоров архитектуры NetBurst можно также отнести высокую пропускную способность памяти.

Поддержка технологии HyperThreading некоторыми процессорами архитектуры NetBurst позволяла поднять производительность в задачах, поддерживающих многопроцессорность, однако существуют некоторые задачи, при выполнении которых производительность может снижаться.

Благодаря удачной маркетинговой и рекламной политике компании Intel, процессоры архитектуры NetBurst были популярны среди пользователей, что позволяло компании Intel удерживать значительную долю рынка микропроцессоров (больше 70 %) и получать прибыль, в отличие от основного конкурента — компании AMD.

Недостатки

Основными недостатками длинного конвейера являются уменьшение удельной производительности по сравнению с коротким конвейером (за один такт выполняется меньшее количество инструкций), а также серьёзные потери производительности при некорректном выполнении инструкций (например, при неверно предсказанном условном переходе или кэш-промахе). Так, например, процессор Pentium 4 с частотой 1700 МГц в неоптимизированных под архитектуру NetBurst задачах уступал процессорам с частотой 1333 МГц.

Кроме того, работа процессоров на высоких частотах была связана с высоким тепловыделением. Несмотря на то, что процессоры на ядре Cedar Mill были способны работать на частотах, превышавших 7 ГГц, с использованием экстремального охлаждения (обычно использовался стакан с жидким азотом), максимальная тактовая частота серийных процессоров Pentium 4 составила 3800 МГц. При этом типичное тепловыделение превышало 100 Вт, а максимальное — 150 Вт.

Из-за невозможности дальнейшего наращивания тактовой частоты компания Intel была вынуждена предложить иной способ повышения производительности. Этим способом стал переход от одноядерных процессоров к многоядерным.

Двухъядерные процессоры архитектуры NetBurst для настольных компьютеров (Pentium D) представляли собой два ядра Prescott (процессоры на ядре Smithfield), находящиеся на одном кристалле, или Cedar Mill (Presler), находящиеся в одном корпусе (по сути два отдельных процессора в одном корпусе). Так как процессоры архитектуры NetBurst изначально разрабатывались как одноядерные, обмен данными между ядрами осуществлялся через оперативную память, что приводило к потерям производительности (для сравнения, конкурирующие процессоры Athlon 64 X2 разрабатывались с расчётом на многоядерность, поэтому имеют специальный блок, позволяющий осуществлять обмен данными, минуя оперативную память).